

メモリスタを用いた不揮発性多値メモリシステムの構成

Construction of a Nonvolatile Multivalued Memory System with Memristors

大槻 正伸・一ノ瀬 智浩*・西内 拓也**

福島工業高等専門学校電気工学科

*東北大学 工学部

**明治大学 工学部

Masanobu Ohtsuki, Tomohiro Ichinose*, Takuya Nishiuchi**

Fukushima National College of Technology, Department of Electrical Engineering

*Tohoku University, Faculty of Engineering

**Meiji University, Faculty of Engineering

(2012年9月18日受理)

Memristor is said to be the 4-th fundamental passive circuit element which follows R (Resistor), L (Inductor), and C (Capacitor). It is such an element that external bias varies its resistance during the passage of a current, and when we stop to apply the voltage, it keeps the resistance at the time.

In this paper we propose a way how to construct a nonvolatile multivalued memory system with memristors which is compatible with usual digital computer systems

Key words: memristor, nonvolatile memory, multivalued memoy

1. はじめに

1.1 メモリスタ

「メモリスタ (memristor)」とは、「電流を流すことによりその抵抗値が変化し、電流を流すのをやめると、やめた時点での抵抗値を記憶しておく」という性質をもつ電気回路素子である¹⁾⁶⁾。

メモリスタは Leon Chua がその存在を、 R 、 L 、 C に続く第4の電気回路の基本素子 M として 1971 年に予言したが¹⁾ その後実際に存在するかどうかは分からなかったものである。しかし 2008 年に、ヒューレットパッカード社の研究者 Stanley Williams らは、ナノメートルスケールでメモリスタが現実に存在することを示した⁶⁾。

現在メモリスタを含む電気回路の動作解析シミュレーションを行う方法に関する研究³⁾⁴⁾、高集積度不揮発性メモリ等の実現に応用する研究²⁾⁵⁾、メモリスタをニューロンの擬似装置として用いて、機械学習に応用する試み等について研究されはじめている。

しかし企業秘密、特許等の関係もあり、不揮発性

メモリの構成法についてはほとんど公開されていないが、文献 2)、5) で通常のコンピュータシステムに組み込める形式で、メモリスタを用いた不揮発性 2 値メモリの構成法が提案されている。

文献 2) では、さらにメモリスタを用いた、3 値不揮発性メモリ構成の基本的な考察がなされている。

本論文では、通常のデジタルシステムに組み込みが可能な、多値のメモリシステムの構成法を提案する。以下、まずメモリスタについて説明する。

1.2 本論文で扱うメモリスタ

今回本論文で扱うメモリスタは、次に説明するモデルのものとする。より一般的なメモリスタ (下記 (1) (2) 式が拡張された素子) については文献 3) 4) 6) があるのでここでは説明を省略する。

ここで扱うものは「Coupled variable-resistor model」とよばれヒューレットパッカード社の開発したメモリスタの数学モデルである⁶⁾。

まずこのモデルでは、メモリスタは低抵抗の *Doped 領域 (Doped Domain)* と高抵抗の *Undoped 領域 (Undoped Domain)* の 2 つの領域からなる長

長さ D (一定) の素子であり、状態変数は Doped 領域の長さ $w(t)$ である (Fig.1)。Doped 領域の、長さ D あたりの抵抗値は R_{on} 、Undoped 領域の D あたりの抵抗値は R_{off} であり、このメモリスタはこれらが直列に接続された構造をもつ ($R_{on} \ll R_{off}$)。また状態変数 $w(t)$ は時間とともに変化する。

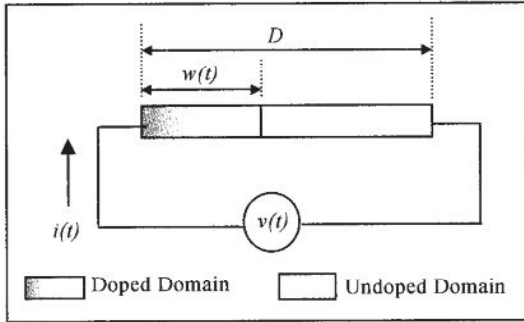


Fig.1 The coupled variable-resistor model

この素子の動きは下記の方程式で表される。

$$\begin{cases} v(t) = \left\{ \frac{w(t)}{D} R_{on} + \frac{D-w(t)}{D} R_{off} \right\} i(t) & \text{--- (1)} \\ \frac{dw(t)}{dt} = \mu_v \frac{R_{on}}{D} i(t) & \text{--- (2)} \end{cases}$$

ここで μ_v は、電子の移動度であり材料特有の定数である。Doped 領域の長さ $w(t)$ が状態変数であり、 $w(t)$ により、メモリスタ全体の抵抗値が決まる ((1) 式)。また Doped 領域は電流 $i(t)$ によりその「成長する速度」が決まる ((2) 式)。

実際に Williams らが開発したメモリスタの長さ D は $D=10$ [nm] 程度ということである⁶⁾ から、高集積な不揮発性メモリ実現の可能性が期待されている。また文献 6) では、 $R_{off}/R_{on}=160$ 、 $R_{on}=100$ [Ω]、 $\mu_v=10^{-10}$ [cm^2/sV] と報告されている。

このような素子は、電流が正方向 (Fig.1 で左から右に流れる方向) に流れれば、(2) 式より Doped 領域が大きくなり全体の抵抗は小さくなるし、また逆方向に電流が流れると $w(t)$ が小さくなるから素子全体の抵抗値は大きくなる。

$w(t)$ は、 $0 \leq w(t) \leq D$ の間で変化し、 $w(t)=D$ (あるいは 0) になってもそれまでと同じ方向に電流が流れた場合、 $w(t)$ は D (あるいは 0) のまま一定となる。すなわち、 $w(t)$ が「飽和」したら、メモリスタの抵抗値は (飽和させた電流方向に電流が流れてい

れば) 変化せず、ふつうの抵抗と同じ働きをする。

この素子は、例えば抵抗値が (ある閾値よりも) 大きい状態を“0”、小さい状態を“1”と対応づければ、不揮発性のメモリが構成できる。また状態変数 $w(t)$ は連続的に変化するから、2 値に限定せず多値を記憶するメモリの構成も可能である。文献 5) では通常のコピュータシステムに組み込める、メモリスタを用いた不揮発性の 2 値メモリの構成法が提案されている。本論文では、これを拡張し、メモリスタを用いて多値データを記憶する不揮発性メモリシステムの構成法について考察する。

1.3 メムリスタの抵抗変化と時間の解析

まず方程式 (1)、(2) 式を簡潔な形式に変形する。

$$v(t) = (aw(t) + b)i(t) \quad \text{--- (3)}$$

$$\frac{dw}{dt} = ci(t) \quad \text{--- (4)}$$

ここで、 $a = \frac{R_{on} - R_{off}}{D}$ (< 0)、 $b = R_{off}$ 、 $c = \mu_v \frac{R_{on}}{D}$

である。さきほどの文献 6) の定数を代入すると、 $a = -1.59 \times 10^{12}$ [Ω/m]、 $b = 16$ [$\text{k}\Omega$]、 $c = 10^{-4}$ [m/sA] となる。

さて一定電圧 V_c を加えることにより $w(t)$ を w_0 から w_1 に変化させるのに必要な時間 $T_{Vc} = T_{Vc}(w_0, w_1)$ について、文献 5) で

$$T_{Vc} = \frac{1}{2acV_c} \{ (aw_1 + b)^2 - (aw_0 + b)^2 \} \quad \text{--- (5)}$$

であることが (3) (4) 式を解析することにより明らかにされている ($0 \leq w_0 \leq D$ 、 $0 \leq w_1 \leq D$)⁵⁾。

ここで $f(x) = \frac{(ax + b)^2}{2acV_c}$ とおくと、

$T_{Vc} = f(w_1) - f(w_0)$ で表される (Fig.2)。

メモリスタを、 $V_c = 5$ [V] の論理回路に組み込むとする。文献 6) で紹介されているメモリスタの定数を代入すると、 $T_{Vc}(0, D)$ は 160 [ms] 程度となる。実用的なメモリにするには R_{off}/R_{on} を 10 程度に改良して、 $T_{Vc}(0, D)$ を 10 [ms] 程度とする必要がある。

2. 不揮発性多値メモリシステムの構成

2.1 メムリスタの状態と多値との対応

1 つのメモリスタで M 値 (値 0, 1, 2, ..., (M-1)) を表現するのに、メモリスタの状態とこれらの値との対応

を次のようにつける。まず時間軸の区間 $[f(0), f(D)]$ を $(M-1)$ 等分し、 $t_0 = f(0)$, $t_k = t_0 + \frac{k(f(D) - f(0))}{M-1}$ ($k=1, 2, \dots, (M-1)$)とし、 $w_0 = f^{-1}(t_0) = 0$ を値0に、 $w_1 = f^{-1}(t_1)$ を値1に、一般に $w_k = f^{-1}(t_k)$ を値 k に対応づける ($k=0, 1, \dots, M-1$) (Fig.2)。 $M=4$ の場合、 $M=8$ の対応づけの様子をFig.3に示す。

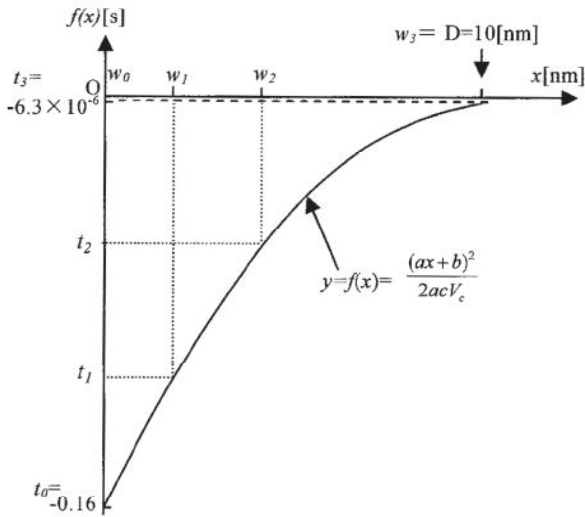


Fig.2 The graph of $f(x)$ ($V_c = 5.00[V]$)

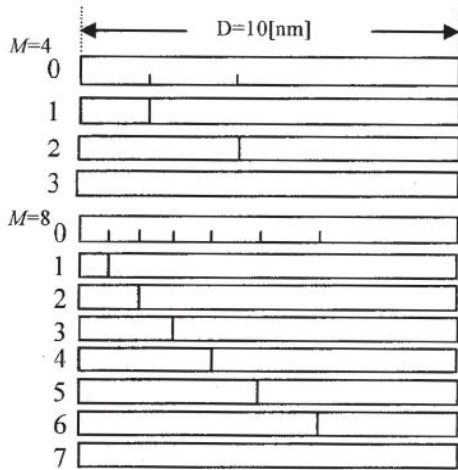


Fig.3 The correspondence of the M states with M values ($M=4, M=8$)

一般には、1個のメモリスタで、任意の M 値を1つ記憶させることができるが、今回は通常のデジタルコンピュータシステムに組み込めるように、基本電圧 V_c を5[V]とし、データ1個は m ビットレジスタで記憶されるデータとする。すなわち、本論文では以降、 $M=2^m$ とし、 M 値のデータ1個を1個のメモリス

スタで記憶するように設計する。また、 $T = \frac{f(D) - f(0)}{M-1}$ とする。これはメモリスタが記憶する値を V_c 一定の電圧をかけて1だけ変更する(例えば"1"を"2"に変更する)のに必要な時間である。

2.2 多値メモリシステム

2.2.1 基本ユニット

まずメモリスタを含む基本ユニット (Basic Unit—BU) を用意する (Fig.4)。これは、Switch Control信号により、SW1、SW4とSW2、SW3を連動させ、メモリスタに対しどちらの方向に電圧 V_c をかけるかの制御構造を持ったデバイスである。

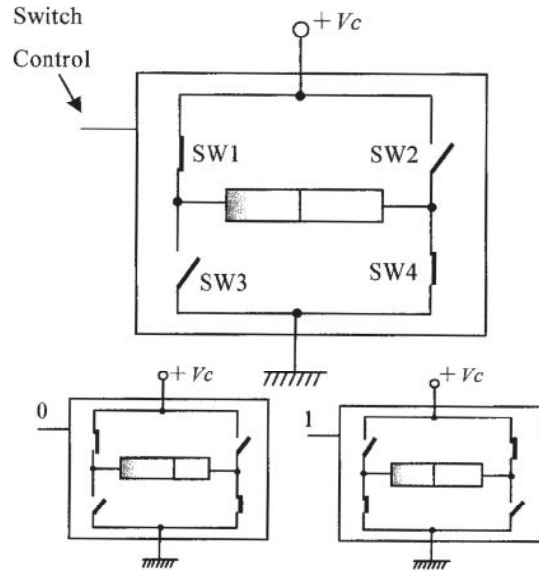
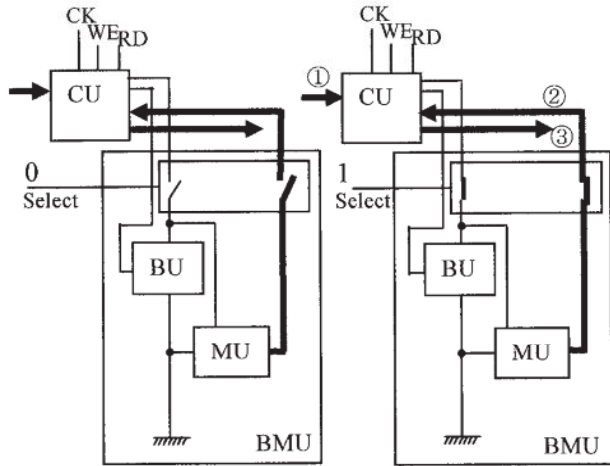


Fig.4 The Basic Unit (BU)

2.2.2 基本メモリユニット

前記BUを含む、基本メモリユニット (Basic Memory Unit—BMU) および、BMUを制御する制御ユニット (Control Unit—CU) をFig.5のように構成する。

CUは、書き込み M ビットデータ、クロック信号 (CK)、書き込み信号 (WE)、読み出し信号 (RD) を受け取り、データの書き込み、読み出し制御を行うものである。CUは、BUにかける電圧(V_c の時間制御された信号)と、BUへの電流方向制御 (Switch Control) 信号を BMU に与える。BMU は Select 信号が"1"でなければアクセスされないように設計されている。



①Write Data ②Read Data from BU ③Read Data from CU

Fig.5 The Control Unit (CU) and the Basic Memory Unit (BMU) (— : Mbits Data)

2.2.3 多値メモリシステム全体の構成

今回設計するメモリシステムには外部から周期 $T/2$ のクロック信号を与えるものとし、今回の多値メモリシステム全体はFig.6のように構成する。

多値メモリシステムには、アドレス (n ビット)、 p 個の m ビットデータ、クロック (CK)、書き込み指示信号 (WE)、読み出し指示信号 (RD) をインターフェース信号とする。

Fig.6中DECDは m ビットデータのデコーダ、DECAは n ビット (アドレス) データのデコーダ、ENCDは 2^m ビットデータを入力とするエンコーダである。

この多値メモリシステムは、指定されたアドレスのデータをRD信号により読み出したり、指定されたアドレスに、指定された p 個の m ビットデータをWE信号により書き込んだりする。

記憶されるデータ1個は、 m ビットデータ (すなわち $0 \sim (2^m - 1)$ の数値データであり、これが1つのメモリスタにその状態として記憶される。

2.2.4 BMU, CUの構成および読み出しの制御

以下でBMUおよびCUを詳しく構成する (Fig.7, Fig.9, Fig.10, Fig.11)。

BMUは、BUと、BU内のメモリスタの状態を計測するMU (Measure Unit) が主な構成要素である。

MUはFig.7のようにコンパレータを並べて構成し、BUに短時間 V_0 の電圧をかけ、電圧降下後の電圧を測定することによりメモリスタの状態を計測する。

MU内の閾値電圧 $V_{TH1} \sim V_{THM}$ の設計についてはほ

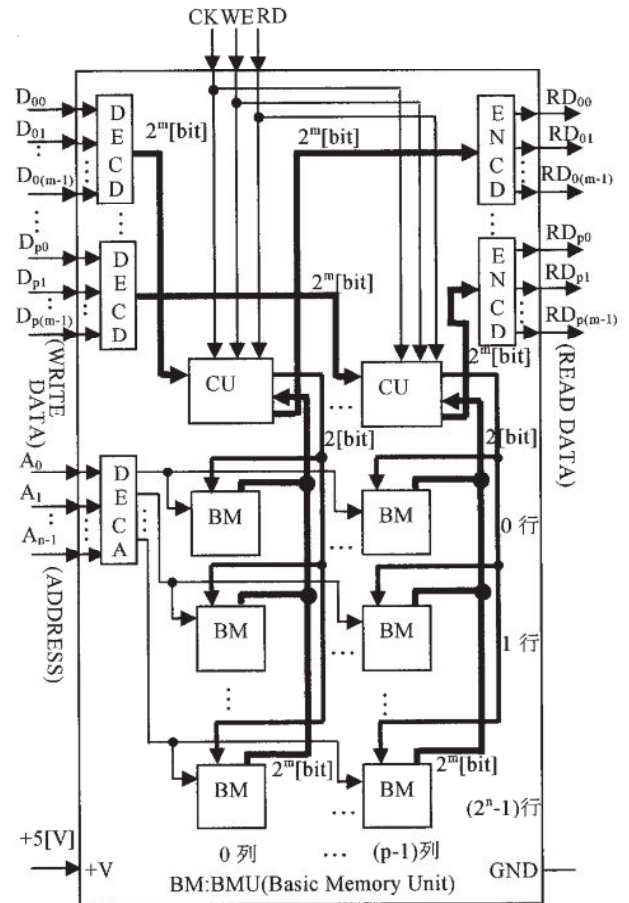


Fig.6 Construction of the multivalued memory system

とんど明らかであるから省略する。

CUは、読み出し制御を行うRD-CNTユニット、書き込み制御を行うWT-CNTユニット、書き込みデータを記憶するWR-DATユニット、読み出しデータを記憶するRD-DATユニットが主な構成要素である。WR-DATユニットとRD-DATユニットは同じ構造の 2^m ビットレジスタである (Fig.10)。

読み出し動作はFig.8のタイムチャートで示される。CU内で、周期 $T/2$ のクロックCKから、周期が T の2相のクロック (CK1, CK2) が生成され (Fig.8, Fig.9)、RD信号はCK1, CK2のパルス2個ずつ含むように出される。これをメモリシステムを用いる際のRD信号の仕様とする。RD信号が出ている間のCK1が“1”である長さだけ、メモリスタに電圧をかけ、MU (内メモリスタ) の状態のデータをCK1の立下りでMU内FFに測定結果を取り込み、さらにCK2でCU内のRD-DATのFFに読み出しデータを取り込む。例えばFig.3 ($M=4$) の場合を考えると、メモリスタの状態が、“2”の場合、MU内FFの内容は“0011”となる。

それがMU内のEX-OR回路により”0010”となり、CU内RD-DATユニット (Fig.9, Fig.10)内のFFで記憶され、さらにこれがエンコーダを通り、メモリシステム外への読み出しデータ信号になる (Fig.6)。

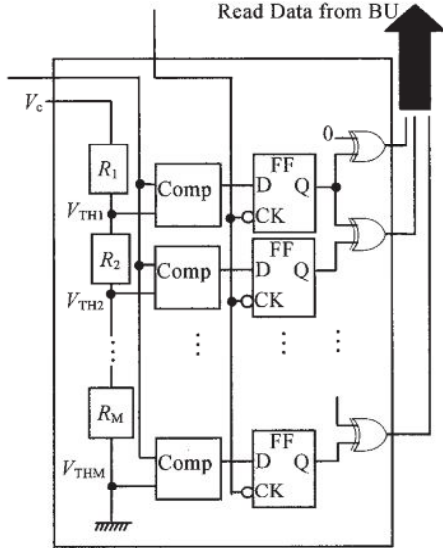


Fig.7 Construction of MU

データを読み出した後は、メモリスタの状態がわずかながら動いているため、CK2でBUへの電流方向を (Switch Control—Fig.9のToBU(SWCont)) により逆方向に制御し、同じ時間だけメモリスタに読み出し時とは逆方向に電流を流し、メモリスタの状態補正を行う。

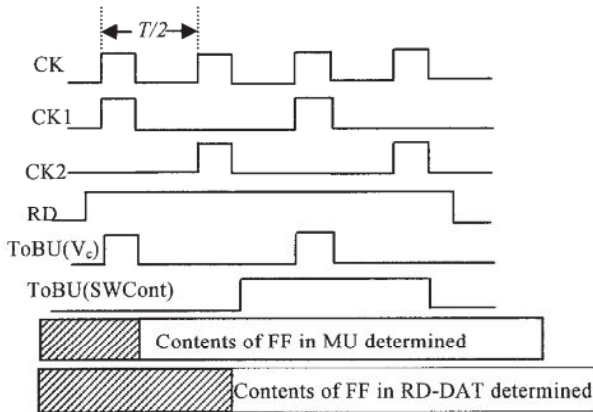


Fig.8 Time chart of data reading

2.2.5 WT-CNTユニットの構成と書き込みの制御

CU内のWR-CNTユニットをFig11のように構成すると、データの書き込みは次のように行われる。CUは、 2^m ビットの書き込みデータとWE信号により動作する。WE信号はRD信号と同じタイミングで

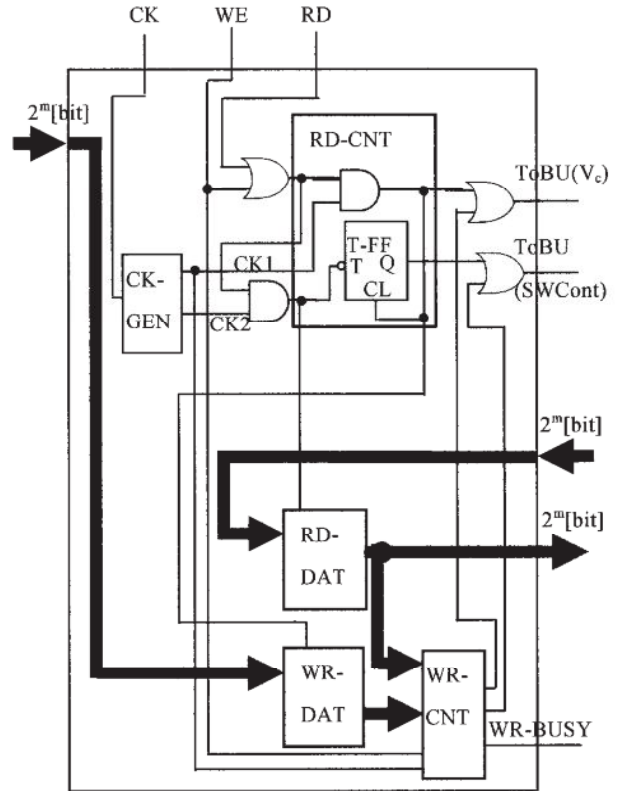


Fig.9 Construction of CU

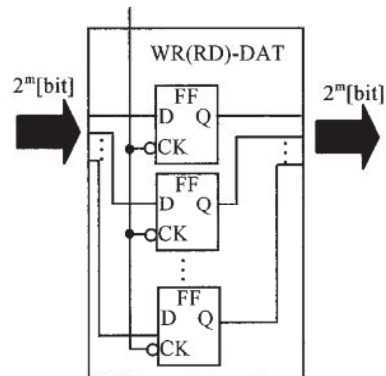


Fig.10 Construction of WR(RD)-DAT unit

同じ長さだけ出す仕様とする。書き込みの場合も前記の読み出し動作と全く同じ動作によりRD-DATユニットに現在のメモリスタの記憶している内容を取り込む。これにより現在のデータと、書き込みデータの「差」が分り、BU内のメモリスタに、どちらの方向にどれだけの時間電圧 (V_c) をかけるべきかが明らかになる。ここでは、 $M=4$ 、メモリスタの内容は”3”、書き込むデータは”1”の場合を例に、その書き込み動作のタイムチャートをFig.12に示す。この場合、WT-CNTユニットに入力される2つの4ビットデータは、それぞれ、”0001”、”0100”となる。

